

PATENT
81754.0112

Express Mail Label No. EV 324 112 353 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kenji MATSUMOTO

Serial No: Not assigned

Filed: March 12, 2004

For: Control Program for Image Processing Device

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-068336 which was filed March 13, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: March 12, 2004

By: 

Lawrence J. McClure

Registration No. 44,228

Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900

Los Angeles, California 90071

Telephone: 213-337-6700

Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月13日
Date of Application:

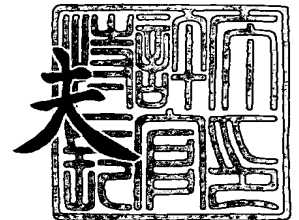
出願番号 特願2003-068336
Application Number:
[ST. 10/C]: [JP 2003-068336]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年12月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3107002

【書類名】 特許願

【整理番号】 J0096859

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20
G02F 1/133

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 松本 健司

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置制御プログラム

【特許請求の範囲】

【請求項 1】 光学素子を含む画素がマトリクス状に配列された画素マトリクスと、

前記画素マトリクスの行方向及び列方向のうち一方に沿って配列された画素群にそれぞれ接続する複数の走査線と、

前記画素マトリクスの行方向及び列方向のうち他方に沿って配列された画素群にそれぞれ接続する複数のデータ線と、

前記複数の走査線を、順次 1 つずつ選択する走査線駆動回路と、

前記光学素子の発光に係る制御信号を前記複数のデータ線のうち少なくとも 1 つのデータ線に出力するデータ線駆動回路と、

前記走査線駆動回路及び前記データ線駆動回路の動作を制御する制御部と、

画像処理装置から伝送された入力画像データを取得する入力画像データ取得手段と、を備える電気光学装置と、

前記電気光学装置に入力する入力画像データを生成し、当該入力画像データを前記電気光学装置に伝送する前記画像処理装置と、を備え、

前記制御部において、前記入力画像データと前記光学素子の発光階調数に応じた所定ビット長の階調データとに基づき、前記走査線の並び順に対して非連続な順番に前記走査線を選択する非順次走査によって前記光学素子の発光時間を制御し、所定数の前記走査線及び前記データ線より成る表示領域に前記入力画像を階調表示する画像表示システムにおいて、

前記画像処理装置を制御するプログラムであって、

画像データ及び非順次走査に対応した走査線を選択順番を取得すると、当該画像データを構成する画素データを、前記非順次走査に対応した走査線を選択順番に合わせて並び替えることを特徴とする画像処理装置制御プログラム。

【請求項 2】 前記並び替えの完了した所定量の前記画素データを、当該並び替えが完了する毎に前記電気光学装置に伝送することを特徴とする請求項 1 記載の画像処理装置制御プログラム。

【請求項 3】 前記光学素子の発光階調を示す階調データのビット長 N と、前記走査線の総数に 1 を加算した加算数を、前記階調データを構成するビット列のビット数個の 2^n 値 ($n = 0, 1, 2, \dots, (N-1)$) から成る比率に応じた数値に分割した数値群と、を取得する一方、

前記走査線のそれぞれに、その並び順に合わせて通し番号を対応付け、

前記走査線に対応付けられた通し番号のうち所定番号を、前記階調データを構成するビット列の最下位ビット (0 桁目) に対応する初期値とし、

前記最下位ビットに対応する初期値に、前記数値群に含まれる数値のうち最も大きい数値を加算したものを、前記階調データを構成するビット列の最上位ビット ($(N-1)$ 桁目) に対応する前記走査線の初期値とし、

前記最上位ビットと前記最下位ビットとの間にある他のビットについては、前記他のビットのビット桁数の大きい方から順に、当該他のビットのビット桁数の 1 桁上のビットに対応した前記初期値と前記数値群に含まれる数値のうち、小さいほうから当該他のビットのビット桁数に 1 を加算した値番目の数値とを加算した値を当該他のビットの初期値として対応付け、

まず、前記最下位ビットに対応する初期値が示す通し番号の走査線を選択し、次に、前記最上位ビットと、このビットから最下位ビットの 1 つ手前のビットに向けて 1 ビットずつ順番にシフトした各ビットに対応する前記初期値が示す通し番号の走査線をそれぞれ順番に選択する第 1 の処理と、

前記走査線を選択する毎に、前記走査線駆動回路に、当該選択された番号の走査線を駆動させる第 2 の処理と、

前記階調データの各ビットに対応付けられた値にそれぞれ 1 を加算すると共に、前記加算後の前記階調データの各ビットに対応する値が前記走査線の総数から 1 を減算した値を超えたときに、その値を、前記通し番号の最小値に更新する第 3 の処理と、

前記第 3 の処理後の前記階調データの各ビットに対応付けられた値に対応した走査線を前記第 1 の処理と同様の順番で選択する第 4 の処理と、を含み、

前記階調データを構成するビット列の各ビット毎に前記表示領域における走査線が全て選択されるまで、前記第 2 の処理～前記第 4 の処理を繰り返し行うこと

により前記走査線の選択順番を決定し、当該決定された選択順番に基づき前記入力画像データを生成することを特徴とする請求項1又は請求項2記載の画像処理装置制御プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、階調表示による画像の表示ムラを抑えるのに好適な非順次走査処理によって電気光学装置に画像を表示するシステムに係り、特に、前記電気光学装置に画像データを伝送する画像処理装置に関する。

【0002】

【従来の技術】

従来、電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器や液晶テレビなどの表示部に広く用いられている。ここで、従来の電気光学装置は、例えば、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板の間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、ある1本の走査線を選択すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介し画素電極に対して、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化する。このため、画素毎に濃度が変化するもので、階調表示することが可能となる。

【0003】

このとき、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、各走査線を順次選択するとともに、第2に、選択された走査線と交差する

画素に、当該画素の階調に応じた電圧を有する画像信号を、対応するデータ線に印加する構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0004】

ところが、データ線に印加される画像信号は、画素の階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。更に、これらのD/A変換回路・オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難となり、特に高精細な表示を行う場合に顕著となるという問題がある。また、D/A変換回路やオペアンプ等による消費電力の増加等の問題もある。

【0005】

そこで、電気光学素子の発光時間を制御して、階調を得る方式が開発されている。この方式においては、データ線に、電気光学素子を発光させるか否かの2値の信号（デジタル信号）を供給すれば良く、画質に悪影響を与える上記したアナログ回路が不要になるといった利点があるが、この制御を行う上で走査線の選択時間がかかり過ぎるといった問題が浮上している。

【0006】

そこで、上記した問題を解決するためのデジタル信号を利用した液晶ディスプレイの駆動方式として、非順次走査方式が開発されている。この方式では、ビット長Nの階調データによって光学素子の発光階調が示される。そして、この階調データを構成するビット列のビット数個の 2^n 値（ $n=0, 1, 2, \dots, (N-1)$ ）の比率に応じた数値群を生成し、この数値群を利用して走査線を非順次に選択する。このように非順次に走査線を選択を行うことで、この光学素子の発光時間が制御される。つまり、発行階調にあわせて発行時間を制御することで、階調表示を行うのである（例えば、特許文献1参照。）。

【0007】

【特許文献1】

特開 2001-166730号公報。

【0008】

【発明が解決しようとする課題】

しかしながら、上記非順次走査方式は、通常の順次走査に比べて処理が複雑（画素データの並び替え等が必要）となるため、この処理をすべて電気光学装置側で行わせようとする、十分なフレームメモリと、高速なプロセッサ、あるいは、専用のハードウェア等が必要となり、電気光学装置のコストアップを招くといった問題がある。

【0009】

そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、電気光学装置のコストを低減することが可能な画像表示システムにおける画像処理装置を制御するための画像処理装置制御プログラムを提供することを目的としている。

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る画像処理装置制御プログラムは、光学素子を含む画素がマトリクス状に配列された画素マトリクスと、

前記画素マトリクスの行方向及び列方向のうち一方に沿って配列された画素群にそれぞれ接続する複数の走査線と、

前記画素マトリクスの行方向及び列方向のうち他方に沿って配列された画素群にそれぞれ接続する複数のデータ線と、

前記複数の走査線を、順次1つずつ選択する走査線駆動回路と、

前記光学素子の発光に係る制御信号を前記複数のデータ線のうち少なくとも1つのデータ線に出力するデータ線駆動回路と、

前記走査線駆動回路及び前記データ線駆動回路の動作を制御する制御部と、

画像処理装置から伝送された入力画像データを取得する入力画像データ取得手段と、を備える電気光学装置と、

前記電気光学装置に入力する入力画像データを生成し、当該入力画像データを前記電気光学装置に伝送する前記画像処理装置と、を備え、

前記制御部において、前記入力画像データと前記光学素子の発光階調数に応じ

た所定ビット長の階調データとに基づき、前記走査線の並び順に対して非連続な順番に前記走査線を選択する非順次走査によって前記光学素子の発光時間を制御し、所定数の前記走査線及び前記データ線より成る表示領域に前記入力画像を階調表示する画像表示システムにおいて、

前記画像処理装置を制御するプログラムであって、

画像データ及び非順次走査に対応した走査線を選択順番を取得すると、当該画像データを構成する画素データを、前記非順次走査に対応した走査線を選択順番に合わせて並び替えることを特徴としている。

【0011】

つまり、第1の発明により、画像処理装置側で、画像データの画素データを非順次走査に対応した順番に並び替えることが可能となるので、電気光学装置側で画素データを並び替える処理が必要なくなり、フレームメモリの容量の低減や制御部の簡易化等、電気光学装置側のハードウェア構成を簡易化することが可能となる。よって、コスト低減が可能となる。

【0012】

ここで、上記した光学素子は、例えば、液晶、エレクトロルミネッセンス素子、プラズマディスプレイ、発光ダイオード等である。

また、第2の発明は、第1の発明において、前記並び替えの完了した所定量の前記画素データを、当該並び替えが完了する毎に前記電気光学装置に伝送することを特徴としている。

【0013】

つまり、第2の発明により、画像処理装置に入力される画像データを構成する所定量の画素データを、並び替えが完了する毎に電気光学装置に伝送することが可能である。従って、電気光学装置側では、画像処理装置から伝送されてくる、並び替えの完了した所定量の画素データ毎に非順次走査処理を行うことが可能となるので、電気光学装置側のメモリ容量の低減が可能となり、コスト低減が可能となる。

【0014】

また、第3の発明は、第1又は第2の発明において、前記光学素子の発光階調

を示す階調データのビット長 N と、

前記走査線の総数に 1 を加算した加算数を、前記階調データを構成するビット列のビット数個の 2^n 値 ($n = 0, 1, 2, \dots, (N-1)$) から成る比率に応じた数値に分割した数値群と、を取得する一方、

前記走査線のそれぞれに、その並び順に合わせて通し番号を対応付け、

前記走査線に対応付けられた通し番号のうち所定番号を、前記階調データを構成するビット列の最下位ビット (0 桁目) に対応する初期値とし、

前記最下位ビットに対応する初期値に、前記数値群に含まれる数値のうち最も大きい数値を加算したものを、前記階調データを構成するビット列の最上位ビット ($(N-1)$ 桁目) に対応する前記走査線の初期値とし、

前記最上位ビットと前記最下位ビットとの間にある他のビットについては、前記他のビットのビット桁数の大きい方から順に、当該他のビットのビット桁数の 1 桁上のビットに対応した前記初期値と前記数値群に含まれる数値のうち、小さいほうから当該他のビットのビット桁数に 1 を加算した値番目の数値とを加算した値を当該他のビットの初期値として対応付け、

まず、前記最下位ビットに対応する初期値が示す通し番号の走査線を選択し、次に、前記最上位ビットと、このビットから最下位ビットの 1 つ手前のビットに向けて 1 ビットずつ順番にシフトした各ビットに対応する前記初期値が示す通し番号の走査線をそれぞれ順番に選択する第 1 の処理と、

前記走査線を選択する毎に、前記走査線駆動回路に、当該選択された番号の走査線を駆動させる第 2 の処理と、

前記階調データの各ビットに対応付けられた値にそれぞれ 1 を加算すると共に、前記加算後の前記階調データの各ビットに対応する値が前記走査線の総数から 1 を減算した値を超えたときに、その値を、前記通し番号の最小値に更新する第 3 の処理と、

前記第 3 の処理後の前記階調データの各ビットに対応付けられた値に対応した走査線を前記第 1 の処理と同様の順番で選択する第 4 の処理と、を含み、

前記階調データを構成するビット列の各ビット毎に前記表示領域における走査線が全て選択されるまで、前記第 2 の処理～前記第 4 の処理を繰り返し行うこと

により前記走査線の選択順番を決定し、当該決定された選択順番に基づき前記入力画像データを生成することを特徴としている。

【0015】

つまり第3の発明により、任意の走査線数の電気光学装置において、非順次走査における走査線の選択順番を簡易に決定することが可能となる。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。図1乃至図14は、本発明に係る画像表示システムの実施の形態を示す図である。

まず、本発明の第1の実施の形態に係る画像表示システムの構成を図1に基づいて説明する。図1は、本発明の第1の実施の形態に係る画像表示システム1の構成を示すブロック図である。

【0017】

画像表示システム1は、画像処理装置10と、電気光学装置11と、を含んだ構成となっている。

画像処理装置10は、入力画像データ生成部10aと、フレームメモリ10bと、入力画像データ伝送部10cと、を含んだ構成となっている。

入力画像データ生成部10aは、PC (Personal Computer) 等の装置から取得した画像データを電気光学装置11の非順次走査による画像表示における走査線の選択順番に合わせて並び替えた入力画像データを生成する処理を行うものである。生成された1画像分の入力画像データはバイナリファイルとしてフレームメモリ10bに記憶される。

【0018】

フレームメモリ10bは、PCなどの装置等から入力される画像データを記憶するためのメモリである。このメモリは、少なくとも2枚分の画像データを同時に記憶できるだけの容量を備えたものである。本実施の形態においては、記憶領域1及び記憶領域2の2つの記憶領域を有することとする。

入力画像データ伝送部10cは、フレームメモリ10bに記憶された入力画像データを電気光学装置11に伝送するものである。

【0019】

ここで、図示しないが、画像処理装置10は、上記各部を制御するための制御プログラムを実行するためのCPU (Central Processing Unit) 等のプロセッサと、当該プログラムの記憶されたROM (Read Only Memory) と、を備えており、前記ROMから制御プログラムを読み出して実行することにより各種制御処理を行うようになっている。

【0020】

電気光学装置11は、パネル11aと、走査線駆動部11bと、データ線駆動部11cと、制御部11dと、フレームメモリ11eと、入力画像データ取得部11fと、を含んだ構成となっている。

パネル11aは、スイッチングトランジスタとドライビングトランジスタと光学素子と保持容量コンデンサとを含んで成る画素回路が複数の走査線と複数のデータ線との交点にマトリクス状に設けられて構成されるものである。そして、後述する階調データのビット長に応じて前記光学素子の発光時間を制御することにより、パネル上に画像が階調表示される。

【0021】

走査線駆動部11bは、後述する制御部11dの制御により、非順次走査における走査線の選択順番に基づき、走査線を駆動するものである。

データ線駆動部11cは、後述する制御部11dの制御により、データ線を駆動するものである。

制御部11dは、画像処理装置10から取得した入力画像データに基づき、走査線駆動部11bに、非順次走査によりパネル11aにおける画像表示領域の走査線を特定の順番で選択させ、且つ、データ線駆動部11cへのデータ信号の供給により、選択された走査線に対応する画素回路を駆動させるものである。

【0022】

フレームメモリ11eは、画像処理装置10からの入力画像データを記憶するためのメモリであり、並列して、データの書き込み及びデータの読み出しを行うために2つの記憶領域を備えたものである。ここで、フレームメモリ11eの2つある記憶領域をそれぞれフレームメモリA及びフレームメモリBと称す。

入力画像データ取得部 11f は、所定のタイミング毎に画像処理装置 10 からの入力画像データを取得するものである。ここで、取得した入力画像データは、制御部 11d を介して、フレームメモリ 11e に記憶される。

【0023】

ここで、本実施の形態におけるパネル 11a を構成する画素回路は、走査線駆動部 11b 及びデータ線駆動部 11c による走査線及びデータ線の駆動に加え、制御部 11d からデータ線を介して供給される bright 信号が high、又は、low と書き込まれることに応じてその動作が制御され、走査線が駆動されているいないに関わらず、bright 信号が high と書き込まれたときは光学素子を発光させ、low と書き込まれたときは光学素子を発光させないようにになっている。また、本実施の形態において、光学素子は、エレクトロルミネッセンス素子とする。

【0024】

また、本実施の形態に係る電気光学装置 11 は、データ線に印加する信号 (bright 信号) を 2 値的なビットデータとするとともに、このビットデータを用いて、1 フレームの期間において光学素子の発光時間を制御する構成となっている。すなわち、光学素子の発光時間を階調データを構成するビット列の各ビットに対応した時間にしながら制御することで画像の階調表示を行う。

【0025】

更に、図 2 乃至図 6 に基づき、画像表示システム 1 のより具体的な動作を説明する。図 2 は、画像処理装置 10 に入力される画像データのデータ配列を示す図であり、図 3 は、入力画像データ生成部 10a において生成された入力画像データのデータ配列を示す図であり、図 4 は、画像データと画素データとの対応を示す図であり、図 5 は、入力画像データ生成部 10a において並び替えられた後の画素データの表示順番を示す図であり、図 6 (a) は、表示領域の走査線数が 14 本で、階調データが 4 ビットの場合の走査線の選択される様子を示す図であり、図 6 (b) は、パネル 11a における走査線と画素との関係を示す図であり、図 6 (c) は、画素データの構成を示す図である。

【0026】

まず、PC などの装置等から動画等の画像データが画像処理装置 10 に入力さ

れると、その画像データは一旦フレームメモリ 10b に記憶される。ここで、図 2 に示すように、入力された画像データにおける各走査線に対応する画素データ (D0 ~ D15) は、色データである RGB のそれぞれに対して R (8 ビット)、G (8 ビット) 及び B (8 ビット) の 24 ビットの階調データから構成されている。

【0027】

そして、画像処理装置 10 は、画像データがフレームメモリ 10b の 2 つある記憶領域のいずれか一方に記憶されると、入力画像データ生成部 10a によって、フレームメモリ 10b に記憶された画像データを読み出して、その画像データの解析を行う。この解析により画像データのサイズや色数等が解ると、次に、電気光学装置 11 から取得した表示領域の走査線数及び階調表示能力に応じて、非順次走査の走査線選択順番に合わせて、画像データにおける画素データの並び替えを行い、入力画像データを生成する。

【0028】

本実施の形態において、入力画像データの生成は、電気光学装置 11 の走査線数を 14、階調表示能力を 4 ビットとして行う。ここで、画像データは、上記したように画素データとして RGB のそれぞれに対して各 8 ビットの階調データを有するが、電気光学装置 11 は、上記したように 4 ビットの階調表示能力しかないため、本実施の形態においては、画像データにおける RGB の各 8 ビットの階調データのうち上位 4 ビット (MSB (7 ビット目) ~ 4 ビット目までの 4 ビット) のデータに着目して入力画像データを生成する。

【0029】

従って、非順次走査の走査線選択順番に応じて並び替えられた 1 番目の画素データ DS0 は、図 3 に示すように、階調データのビット 0 (ここでは、上記 RGB の各 8 ビットの階調データの 4 ビット目) に対応したデータ (0 か 1 の 2 値) となる。つまり、図 2 に示す画素データ D0 より、1 番目の画素データ DS0 (R, G, B) は、DS0 (0, 1, 1) の 3 ビットとなる。同様に、画素データ D0 に対しては、他に、階調データの 5 ビット目 ~ 7 ビット目 (MSB) にそれぞれ対応した DS0 が非順次走査の走査線選択順番に合わせて並び替えられるこ

となる。このような並び替えを、各走査線毎に画素データ D0～D15 に対して行うことで 1 画像分の入力画像データが生成される。なお、本実施の形態において、DS0 は、図 4 に示すように、画像データの左上の画素データに対応している。

【0030】

また、入力画像データの生成中に、新たな（動画の場合は次フレーム）画像データの入力があったときは、その画像データは、現在処理中の画像データの記憶されていないもう一方の記憶領域に書込まれることになる。更に、生成された入力画像データは、図 5 に示すように、各走査線毎の画素データを 1 ブロック（D0～D15 の 16 ビット）としてまとめて取り扱い、且つ、それぞれのブロックに走査線を示す番号（4 ビット）を対応付ける。そして、走査線番号の対応付けされた 1 画像分のブロックデータを 1 つのバイナリファイルとして処理前の画像データの記憶されていたフレームメモリ 10b の記憶領域に上書きして記憶する。

【0031】

更に、1 画像分の入力画像データが生成されると、入力画像データ伝送部 10c によって、この入力画像データを電気光学装置 11 に伝送する処理を行う。入力画像データは、電気光学装置の処理タイミングに合わせて、図 5 に示すように、20 ビット毎（1 ブロック毎）に伝送されることになる。つまり、バイナリファイルにおける、入力画像データブロック 1→入力画像データブロック 2→入力画像データブロック 3→・・・→入力画像データブロック 56 の順番で伝送されることになる。

【0032】

一方、電気光学装置 11 では、入力画像データ取得部 11f によって画像処理装置 10 からの入力画像データブロックを取得すると、このデータを、制御部 11d を介してフレームメモリ 11e の 2 つある記憶領域の一方に記憶する。そして、フレームメモリ 11e の 2 つある記憶領域のいずれか一方に 1 画像分の入力画像データブロック（バイナリファイル）が記憶されると、制御部 11d、走査線駆動部 11b 及びデータ線駆動部 11c によって、その入力画像データブロッ

クの画像をパネル 11a に表示する処理を開始する。制御部 11d は、フレームメモリ 11e の記憶領域から、入力画像データブロックを読み出し、まず選択する走査線の番号を抽出する。ここで、フレームメモリ 11e の 2 つある記憶領域のうち一方の情報が読み出され且つ表示処理が行われている間に、他方には、新たなデータが書き込まれることになる。従って、このタイミングで画像処理装置 10 から電気光学装置 11 に入力画像データブロックが伝送される。

【0033】

更に、図 6 に基づき、電気光学装置 11 における、非順次走査による画像の階調表示処理を説明する。ここで、パネル 11a の表示領域の走査線数 14 本、階調データのビット長 4 ビット及び表示領域の画素数 224 (14×16) 個の場合を例として説明する。

まず、走査線の総数を 14 本、階調データのビット長を 4 ビットとしたときの走査線を選択順番の決定方法を具体的に説明する。本実施の形態においては、この走査線を選択順番の決定は、画像処理装置 10 側において、プログラムとして実行されるもので、画像処理装置 10 が、電気光学装置 11 から走査線の総数及び階調データを取得することで行われる。

【0034】

まず、走査線の総数 14 に 1 を加算した 15 を、ビット長 N の階調データを構成するビット列のビット数個の 2^n 値 ($n=0, 1, 2, \dots, (N-1)$) から成る比率に応じて分割された数値群を生成する。つまり、階調データのビット長 N は 4 ビットであるので、 $2^0:2^1:2^2:2^3=1:2:4:8$ の比率で走査線の総数 14 に 1 を加算した値 15 を分割する。この場合は、丁度、 $1:2:4:8$ に分割できる。従って、それぞれの比に応じて、1、2、4、8 の 4 つの数値に分割されることになる。

【0035】

次に、総数 14 本の走査線のそれぞれに 0～13 の通し番号を対応付ける。そして、階調データの LSB (0 ビット目) に、最初を選択する走査線 (以降、初期走査線と称す) の通し番号 0 を初期値として設定する。次に、階調データの 3 ビット目 (MSB) に対して、1 つ前に選択された走査線の通し番号 0 に前記分

割した数値のうち最も大きい 8 を加算し、この通し番号 8 を初期走査線の通し番号として設定する。更に、階調データの 2 ビット目に対して、1 つ前に選択された走査線の通し番号 8 に前記分割した数値のうち 2 番目に大きい 4 を加算し、この 12 を初期走査線の通し番号として設定する。なお更に、階調データの 1 ビット目に対して、1 つ前に選択された通し番号 12 に前記分割した数値のうち 3 番目に大きい 2 を加算するが、この場合は、加算後の数値が通し番号 13 を超えるので、加算結果の 14 を走査線の総数 14 で割った時の余り (0) を初期走査線の通し番号として設定する。なお、12 に 3 を足した 15 の場合は、 $15 / 14 = 1$ (余り 1) となるので、この場合の初期走査線の通し番号は 1 となる。

【0036】

従って、階調データのビット長 4 ビットにおける、LSB に対しては通し番号 0 が初期値として設定され、MSB に対しては通し番号 8 が初期値として設定され、2 ビット目に対しては通し番号 12 が初期値として設定され、1 ビット目に対しては通し番号 0 が初期値として設定されることになる。

このように、階調データのビット長に応じて、上記したように 1 つ前に選択された走査線の通し番号に前記分割した数値を大きいものから小さいものに向けて順番に加算した数値によって、階調データの各ビットに対応した初期走査線の通し番号を決定する。

【0037】

更に、この決定された初期走査線を、階調データの、LSB (0 ビット目) に対応した初期走査線、MSB (3 ビット目) に対応した初期走査線、2 ビット目に対応した初期走査線、1 ビット目に対応した初期走査線の順でそれぞれ対応する通し番号の走査線を選択していき、且つ、選択された走査線の各画素を駆動していく。そして、各走査線の実行後は各ビットに対応した初期走査線の通し番号にそれぞれ 1 を加算する。この際、各ビットに対応した初期値に 1 を加算していった結果が走査線の総数から 1 を減算した値 (ここでは 13) を超えたときは、その加算結果を 0 にする。つまり、13 番目の走査線が選択され、その通し番号 13 に 1 を加算したときはその加算結果を走査線の通し番号 13 を超える数値 (14) とせず、走査線の通し番号の最小値である 0 とする。故に、次の処理で

は、0番目の走査線が選択されることになる。階調データの各ビットの選択順番は、LSB→MSB→「LSB及びMSBの間の上位ビット→下位ビット」→LSB→MSB→…の順番で行われる。すなわち、0ビット目→3ビット目→2ビット目→1ビット目→0ビット目→3ビット目→2ビット目→…の繰り返しとなる。つまり、階調データの各ビットに対応して、0番目の走査線、8番目の走査線、12番目の走査線、0番目の走査線を選択すると、以降は、1番目の走査線、9番目の走査線、13番目の走査線、1番目の走査線を選択するように、各ビットに対応した1つ前に選択した走査線の通し番号にそれぞれ1を加算した通し番号の走査線を順次選択し、各画素を駆動していく。

【0038】

つまり、図6(a)に示すように、非順次走査において走査線は、階調データの各ビットに応じて、0番目の走査線→8番目の走査線→12番目の走査線→0番目の走査線→…の順に選択される。

更に、上記通し番号と同様に、走査線を示す番号をS0～S13とし、且つ、各走査線に対する画素をD0～D15として表示領域を表すと、図6(b)に示すように、走査線1本あたりの画素数は16個となる。また、各画素に対応した画素データは、各階調に応じたRGBによる色情報が設定されており、図6(c)に示すように、各画素D0～D15に対して各階調ビット毎にRGBの3ビットのデータが対応することになる。

【0039】

従って、上記した非順次走査を行うために、入力画像データは、画像処理装置10において図5に示す順番でデータブロック毎に並び替えられ、且つ、電気光学装置11に伝送されることになる。ここでは、n番目(n=0, 1, 2, …, 13)の走査線Snにおける1ブロック分の画素DS0～DS15を、(Sn, DS0)～(Sn, DS15)として表すこととする。また、階調データが4ビットであるので各走査線は、階調データの各ビット毎に選択されることになる。つまり、1つの画像が階調表示される間に4回選択されることになる。ここで、走査線S0に着目してみると、走査線S0は、T0で1回目を選択され(階調データのビット0(LSB)に対応)、T3で2回目(階調データのビット1

に対応)、T10で3回目(階調データのビット2に対応)、T25で4回目(階調データのビット3(MSB)に対応)といったように選択される。その時間間隔を調べると、T0からT3では3、T3からT10では7、T10からT25では15となっている。つまり、発光素子は、最初の発光から2回目の発光までの間隔が2で、3回目が7、4回目が15といったように、3:7:15の比で発光が行われているのが解る。

【0040】

なお、本実施の形態においては、図5に示すように、入力画像データ(16ビット)は、走査線の番号情報(4ビット)と共に20ビットのデータバスによって電気光学装置11に伝送される。

更に、図7に基づき、画像処理装置10における画像データの取得処理の流れを説明する。図7は、画像処理装置10における画像データの取得処理を示すフローチャートである。

【0041】

図7に示すように、まずステップS500に移行し、PC等の外部装置から画像データを取得したか否かを判定し、取得したと判定された場合(Yes)はステップS502に移行し、そうでない場合(No)は取得するまで待機する。

ステップS502に移行した場合は、フレームメモリ10bの記憶領域1に対応するフラグであるF1がセット状態(専用のレジスタに1がセットされた状態)か否かを判定し、セット状態であると判定された場合(Yes)はステップS504に移行し、そうでない場合(No)はステップS512に移行する。

【0042】

ここで、本実施の形態においては、F1がセット状態のときに、フレームメモリ10bの記憶領域1に未処理の画像データが記憶された状態であり、F1がクリア状態(専用のレジスタに0がセットされた状態)のときに、フレームメモリ10bの記憶領域1に処理済みの画像データが記憶されている状態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0043】

ステップS504に移行した場合は、フレームメモリ10bの記憶領域2に対

応するフラグである F 2 がセット状態（専用のレジスタに 1 がセットされた状態）か否かを判定し、セット状態であると判定された場合(Yes)はステップ S 5 0 6 に移行し、そうでない場合(No)はステップ S 5 0 8 に移行する。

ここで、本実施の形態においては、F 1 と同様に、F 2 がセット状態のときに、フレームメモリ 10 b の記憶領域 2 に未処理の画像データが記憶された状態であり、F 2 がクリア状態（専用のレジスタに 0 がセットされた状態）のときに、フレームメモリ 10 b の記憶領域 2 に処理済みの画像データが記憶されている状態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0044】

ステップ S 5 0 6 に移行した場合は、フレームメモリ 10 b へのデータの書込みを禁止しステップ S 5 0 2 に移行する。

つまり、フレームメモリ 10 b の記憶領域 1 及び記憶領域 2 の両方に未処理の画像データが記憶されている状態であり、この場合は、一方が処理されるまで、ステップ S 5 0 2 ～ステップ S 5 0 6 の処理を繰り返し行うことになる。

【0045】

一方、ステップ S 5 0 8 に移行した場合は、F 2 に対応した記憶領域 2 に、入力された画像データを記憶してステップ S 5 1 0 に移行する。

ステップ S 5 1 0 では、フレームメモリ 10 b の記憶領域 2 に対応したフラグ F 2 をセットしてステップ S 5 0 0 に移行する。

また、ステップ S 5 0 2 において、F 1 がクリア状態で、ステップ S 5 1 2 に移行した場合は、F 1 に対応した記憶領域 1 に、入力された画像データを記憶してステップ S 5 1 4 に移行する。

【0046】

ステップ S 5 1 4 では、フレームメモリ 10 b の記憶領域 1 に対応したフラグ F 1 をセットしてステップ S 5 0 0 に移行する。

つまり、画像データが入力されると、フレームメモリ 10 b の記憶領域に対してフラグがセットされているか否かを判定し、フラグのセットされていない方の記憶領域に画像データを記憶する。これにより、入力画像データの生成処理等により一方の記憶領域のフラグがセット状態であっても、もう一方の記憶領域のフ

ラグがセット状態でなければ、画像データを記憶することが可能である。

【0047】

更に、図8に基づき、画像処理装置10における入力画像データの生成処理及び入力画像データの伝送処理の流れを説明する。図8は、画像処理装置10における入力画像データの生成処理及び入力画像データの伝送処理を示すフローチャートである。

図8に示すように、まずステップS600に移行し、入力画像データ生成部10aにおいて、フレームメモリ10bの記憶領域1に対応したフラグF1がセットされたか否かを判定し、セットされたと判定された場合(Yes)はステップS602に移行し、そうでない場合(No)はステップS618に移行する。

【0048】

ステップS602に移行した場合は、フラグF1に対応したフレームメモリ10bの記憶領域1から画像データを読み出しステップS604に移行する。

ステップS604では、入力画像データ伝送部10cを介して、電気光学装置11から表示領域の走査線数及び階調情報を取得してステップS606に移行する。ここで、走査線数及び階調情報の取得は、電気光学装置11側が表示領域や階調数を可変な場合を想定して取得するもので、これらが固定である場合は、最初に1回だけ情報を取得するか、予めその情報を入力しておくなどしても良い。

【0049】

ステップS606では、入力画像データ生成部10aにおいて、取得した画像データを解析してステップS608に移行する。ここで、画像の解析においては、画像のサイズ(ピクセル数)や色数などを解析する。

ステップS608では、入力画像データ生成部10aにおいて、電気光学装置の走査線数及び階調情報に基づき、画像データにおける画素データの並び替えを行い入力画像データを生成してステップS610に移行する。

【0050】

ステップS610では、画像データを読み出した記憶領域に、生成された入力画像データを記憶してステップS612に移行する。

ステップS612では、入力画像データ伝送部10cにおいて、入力画像デー

タの記憶された記憶領域から、非順次走査における走査線の選択番号に対応した未送信の入力画像データブロックを読み出し、これを電気光学装置 11 に送信してステップ S 6 1 4 に移行する。

【0051】

ステップ S 6 1 4 では、生成した入力画像データの送信が終了したか否かを判定し、終了したと判定された場合(Yes)はステップ S 6 1 6 に移行し、そうでない場合(No)はステップ S 6 1 2 に移行する。

ステップ S 6 1 6 に移行した場合は、送信後の入力画像データの記憶された記憶領域に対応するフラグをクリアしてステップ S 6 0 0 に移行する。

【0052】

また、ステップ S 6 0 0 において、フラグ F 1 がセットされておらずステップ S 6 1 8 に移行した場合は、入力画像データ生成部 10 a において、フラグ F 2 がセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップ S 6 2 0 に移行し、そうでない場合(No)はステップ S 6 0 0 に移行する。

【0053】

ステップ S 6 2 0 に移行した場合は、フラグ F 2 に対応したフレームメモリ 10 b の記憶領域 2 から画像データを読み出しステップ S 6 0 4 に移行する。

つまり、ステップ S 6 0 0 ～ステップ S 6 2 0 の処理を行うことで、フレームメモリ 10 b の記憶領域に対応したフラグがセット状態にある記憶領域から画像データを読み出し、非順次走査における走査線の選択順番に合わせて画素データを並び替えることで入力画像データを生成し、当該生成した入力画像データを所定サイズのデータブロック毎に画像表示装置 11 に伝送することが可能である。

【0054】

そして、選択された記憶領域からの入力画像データの伝送処理が終了すると、この記憶領域のフラグがリセットされるので、上記したステップ S 5 0 0 ～ステップ S 5 1 4 の処理において、この記憶領域に画像データの書込みが可能となる。

つまり、入力画像データの生成中又は伝送中においては、フラグがセット状態

となるので、上記したステップS500～ステップS514の処理においては、その記憶領域に対して画像データの書込みを行うことができない。しかし、一方の記憶領域において、入力画像データの生成又は伝送が行われている間に、フラグがリセットされている他方の記憶領域に対しては、画像データの書込み処理を行うことが可能である。

【0055】

従って、フレームメモリ10bの記憶領域1及び記憶領域2に対する画像データの書込み処理及び画像データの読み出し処理（伝送処理）は、連続して画像データが送られてきた場合に、それぞれの領域に対して、交互に行われることになる。

更に、図9に基づき、電気光学装置11におけるフレームメモリ11eへの入力画像データの書込み処理の流れを説明する。図9は、電気光学装置11におけるフレームメモリ11eへの入力画像データの書込み処理を示すフローチャートである。

【0056】

図9に示すように、まずステップS700に移行し、制御部11dにおいて、画像処理装置10から入力画像データブロックが入力されたか否かを判定し、入力されたと判定された場合(Yes)はステップS702に移行し、そうでない場合(No)は入力されるまで待機する。

ステップS702に移行した場合は、制御部11dにおいて、フレームメモリAに対応したフラグFAがセットされた状態（専用のレジスタに1がセットされた状態）であるか否かを判定し、セットされた状態であると判定された場合(Yes)はステップS704に移行し、そうでない場合(No)はステップS714に移行する。

【0057】

ここで、本実施の形態においては、FAがセット状態のときに、フレームメモリ11eのフレームメモリAに未処理の画像データが記憶された状態であり、FAがクリア状態（専用のレジスタに0がセットされた状態）のときに、フレームメモリ11eのフレームメモリAには処理済みの画像データが記憶されている状

態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0058】

ステップS704に移行した場合は、制御部11dにおいて、フレームメモリBに対応したフラグFBがセットされた状態（専用のレジスタに1がセットされた状態）であるか否かを判定し、セットされた状態であると判定された場合(Yes)はステップS706に移行し、そうでない場合(No)はステップS708に移行する。

【0059】

ここで、本実施の形態においては、FAと同様に、FBがセット状態のときに、フレームメモリ11eのフレームメモリBに未処理の入力画像データブロックが記憶された状態であり、FBがクリア状態（専用のレジスタに0がセットされた状態）のときに、フレームメモリ11eのフレームメモリBには処理済みの画像データが記憶されている状態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0060】

ステップS706に移行した場合は、制御部11dにおいて、フレームメモリ11eへのデータの書込みを禁止しステップS702に移行する。

一方、ステップS708に移行した場合は、制御部11dは、フラグFBの対応したフレームメモリBに入力画像データブロックを書込みステップS710に移行する。

【0061】

ステップS710では、フレームメモリBに一画像分のデータの書込みが終了したか否かを判定し、終了したと判定された場合(Yes)はステップS712に移行し、そうでない場合(No)はステップS708に移行する。

ステップS712に移行した場合は、制御部11dは、フラグFBをセットしてステップS700に移行する。

【0062】

また、ステップS702においてフラグFAがセット状態ではなくステップS714に移行した場合は、制御部11dは、フラグFAの対応したフレームメモ

りAに入力画像データブロックを書込みステップS716に移行する。

ステップS716では、フレームメモリAに一画像分のデータの書込みが終了したか否かを判定し、終了したと判定された場合(Yes)はステップS718に移行し、そうでない場合(No)はステップS714に移行する。

【0063】

ステップS718に移行した場合は、制御部11dは、フラグFAをセットしてステップS700に移行する。

つまり、上記ステップS700～ステップS718の処理によって、フラグFA又はフラグFBがセットされているか否かを判定し、フラグがセットされているフレームメモリにはデータの書込みを行わず、セットされていないフレームメモリに対して書込みを行う。

【0064】

更に、図10に基づき、電気光学装置11における非順次走査による画像の表示処理の流れを説明する。図10は、電気光学装置11における非順次走査による画像の表示処理を示すフローチャートである。

図10に示すように、まずステップS800に移行し、制御部11dは、フレームメモリAに対応したフラグFAがセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップS802に移行し、そうでない場合(No)はステップS812に移行する。

【0065】

ステップS802に移行した場合は、制御部11dは、フレームメモリ11eにおけるフレームメモリAに書込まれた入力画像データブロックを決められた順に読み出してステップS804に移行する。

ステップS804では、制御部11dは、読み出した入力画像データブロックをデータ線駆動部11cに伝送してステップS806に移行する。

【0066】

ステップS806では、制御部11dは、読み出した入力画像データブロックに基づき、走査線駆動部11b及びデータ線駆動部11cを制御して、非順次走査による画像の階調表示処理を行いステップS808に移行する。

ステップS808では、制御部11dは、1画像分の処理が完了したか否かを判定し、完了したと判定された場合(Yes)はステップS810に移行し、そうでない場合(No)はステップS802に移行する。

【0067】

ステップS810では、制御部11dは、フレームメモリAに対応するフラグFAをクリアしてステップS800に移行する。

一方、ステップS812に移行した場合は、フレームメモリBに対応したフラグFBがセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップS814に移行し、そうでない場合(No)はステップS800に移行する。

【0068】

ステップS814に移行した場合は、制御部11dは、フレームメモリ11eにおけるフレームメモリBに書込まれた入力画像データブロックを読み出してステップS816に移行する。

ステップS816では、制御部11dは、読み出した入力画像データブロックをデータ線駆動部11cに伝送してステップS818に移行する。

【0069】

ステップS818では、制御部11dは、読み出した入力画像データブロックに基づき、走査線駆動部11b及びデータ線駆動部11cを制御して、非順次走査による画像の階調表示処理を行いステップS820に移行する。

ステップS820では、制御部11dは、1画像分の処理が完了したか否かを判定し、完了したと判定された場合(Yes)はステップS822に移行し、そうでない場合(No)はステップS814に移行する。

【0070】

ステップS822では、制御部11dは、フレームメモリBに対応するフラグFBをクリアしてステップS800に移行する。

つまり、ステップS800～ステップS822の処理を繰り返し行うことで、フレームメモリ11eの記憶領域であるフレームメモリA又はフレームメモリBに対応したフラグFA又はFBのいずれかがセット状態にある記憶領域から入力

画像データブロックを読み出し、当該入力画像データブロックに含まれる走査線番号に基づき走査線駆動部 11b を駆動し、データ線駆動部 11c を駆動して選択された走査線に対応する画素回路を駆動し、画像の階調表示を行う。

【0071】

そして、選択された記憶領域からの入力画像データブロックの読み出し処理が終了すると、この記憶領域のフラグがリセットされるので、上記したステップ S700～ステップ S718 の処理において、この記憶領域に入力画像データブロックの書き込みが可能となる。

つまり、入力画像データブロックが読み出されている間は、フラグがセット状態となるので、上記したステップ S700～ステップ S718 の処理においては、その記憶領域に対して入力画像データブロックの書き込み処理を行うことができない。しかし、一方の記憶領域において、入力画像データブロックの読み出し処理が行われている間に、読み出し処理が終了してフラグがリセットされている他方の記憶領域に対しては、入力画像データブロックの書き込み処理を行うことが可能である。

【0072】

従って、フレームメモリ 11e のフレームメモリ A 及びフレームメモリ B に対する入力画像データブロックの書き込み処理及び入力画像データの読み出し処理は、連続して送られてくる入力画像データに対し、それぞれの領域について、交互に行われることになる。

以上、上記第 1 の実施の形態においては、画像データを、画像処理装置 10 側で、予め非順次走査における走査線の選択順番に合わせて並び替えてから、電気光学装置 11 側に伝送することで、電気光学装置 11 側において、非順次走査に合わせた画像データの抽出処理が不要になる。

【0073】

更に、図 11 に基づき、本発明の第 2 の実施の形態に係る画像表示システム 2 の構成を説明する。図 11 は、本発明の第 2 の実施の形態に係る画像表示システム 2 の構成を示すブロック図である。

画像表示システム 2 は、画像処理装置 10 と、電気光学装置 11' と、を含ん

だ構成となっている。

【0074】

画像処理装置10は、入力画像データ生成部10aと、フレームメモリ10bと、入力画像データ伝送部10cと、を含んだ構成となっている。なお、上記第1の実施の形態における画像表示システム1と同様の機能部については、同じ符号を付し、動作の異なるものは説明を省略する。

入力画像データ生成部10aは、PC (Personal Computer) 等の装置から取得した画像データを、電気光学装置11'の非順次走査による画像表示における走査線の選択順番に合わせて、並び替えた入力画像データを生成する処理を行うものである。生成された入力画像データは、1走査線分の画素データ（入力画像データブロック）の並び替えが終了する毎に入力画像データブロック単位で電気光学装置11'に伝送される。

【0075】

入力画像データ伝送部10cは、入力画像データ生成部10aにおいて生成された入力画像データブロックを、当該入力画像データブロックが生成される毎に電気光学装置11'に伝送するものである。

電気光学装置11'は、パネル11aと、走査線駆動部11bと、データ線駆動部11cと、制御部11dと、ラインメモリ11gと、入力画像データ取得部11fと、を含んだ構成となっている。

【0076】

制御部11dは、走査線駆動部11bに、非順次走査によりパネル11aにおける画像表示領域の走査線を特定の順番で選択させ、且つ、表示する画像データに基づきデータ線駆動部11cへのデータ信号の供給により、選択された走査線に対応する画素回路を駆動させるものである。本実施の形態においては、ラインメモリ11gの2つの記憶領域の一方に入力画像データブロックが書込まれる処理が行われる毎に、走査線駆動部11bに、他方の記憶領域に記憶された入力画像データブロックを読み出させ、当該入力画像データブロックに含まれる走査線の選択順番に基づき走査線を選択させ、且つ、表示する画像データに基づきデータ線駆動部11cへのデータ信号の供給により、選択された走査線に対応する画

素回路を駆動させる。

【0077】

ラインメモリ 11g は、画像処理装置 10 からの入力画像データブロックを記憶するためのメモリであり、並列して、データの書き込み及びデータの読み出しを行うために 2 つの記憶領域を備えたものである。

入力画像データ取得部 11f は、所定のタイミング毎に画像処理装置 10 からの入力画像データブロックを取得するものである。ここで、取得した入力画像データブロックは、制御部 11d を介して、ラインメモリ 11g に記憶される。

【0078】

つまり、第 1 の実施の形態における画像表示システム 1 と異なる点は、第 2 の実施の形態における画像表示システム 2 は、入力画像データ生成部 10a において、1 画像データ分の画素データの並び替えが全て終了しなくても、1 画像データにおける 1 走査線分の画素データ（入力画像データブロック）の並び替えが終了する毎に、そのデータを順次電気光学装置 11' に伝送するようになっている。更に、電気光学装置 11' は、第 1 の実施の形態における電気光学装置 11 におけるフレームメモリ 11e の代わりに、ラインメモリ 11g を備えている。ここで、ラインメモリ 11g は、上記したように、1 走査線分の画素データである入力画像データブロックを記憶できる容量の記憶領域を 2 つ有したものである。そして、制御部 11d は、ラインメモリ 11g の 2 つの記憶領域の一方に入力画像データブロックが書込まれる処理が行われる毎に、走査線駆動部 11b に、他方の記憶領域に記憶された入力画像データブロックを読み出させて上記処理を行わせることで、非順次走査による階調表示処理を行う。

【0079】

更に、図 12 に基づき、第 2 の実施の形態における画像処理装置 10 における入力画像データの生成処理及び入力画像データの伝送処理の流れを説明する。図 12 は、画像処理装置 10 における入力画像データの生成処理及び入力画像データの伝送処理を示すフローチャートである。なお、画像処理装置 10 における画像データの取得処理は上記第 1 の実施の形態と同様の処理となるので説明を省略する。

【0080】

図12に示すように、まずステップS900に移行し、入力画像データ生成部10aにおいて、フレームメモリ10bの記憶領域1に対応したフラグF1がセットされたか否かを判定し、セットされたと判定された場合(Yes)はステップS902に移行し、そうでない場合(No)はステップS920に移行する。

ステップS902に移行した場合は、フラグF1に対応したフレームメモリ10bの記憶領域1から画像データを読み出しステップS904に移行する。

【0081】

ステップS904では、入力画像データ伝送部10cを介して、電気光学装置11'から表示領域の走査線数及び階調情報を取得してステップS906に移行する。ここで、走査線数及び階調情報の取得は、電気光学装置11'側が表示領域や階調数を可変な場合を想定して取得するもので、これらが固定である場合は、最初に1回だけ情報を取得するか、予めその情報を入力しておくなどしても良い。

【0082】

ステップS906では、入力画像データ生成部10aにおいて、取得した画像データを解析してステップS908に移行する。ここで、画像の解析においては、画像のサイズ(ピクセル数)や色数などを解析する。

ステップS908では、入力画像データ生成部10aにおいて、電気光学装置の走査線数及び階調情報に基づき、画像データにおける画素データの並び替え、入力画像データ生成処理を行いステップS910に移行する。

【0083】

ステップS910では、入力画像データ生成部10aにおいて、1走査線分の入力画像データが生成されたか否かを判定し、生成されたと判定された場合(yes)はステップS912に移行し、そうでない場合(No)はステップS908に移行する。

ステップS912に移行した場合は、1走査線分の入力画像データに走査線番号を対応付けした伝送用データを生成しステップS914に移行する。

【0084】

ステップS914では、生成された伝送用データを電気光学装置11'に送信してステップS916に移行する。

ステップS916では、1画像分の入力画像データの送信が終了したか否かを判定し、終了したと判定された場合(Yes)はステップS918に移行し、そうでない場合(No)はステップS908に移行する。

【0085】

ステップS918に移行した場合は、送信後の入力画像データの記憶された記憶領域に対応するフラグをクリアしてステップS900に移行する。

また、ステップS900において、フラグF1がセットされておらずステップS920に移行した場合は、入力画像データ生成部10aにおいて、フラグF2がセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップS922に移行し、そうでない場合(No)はステップS900に移行する。

【0086】

ステップS922に移行した場合は、フラグF2に対応したフレームメモリ10bの記憶領域2から画像データを読み出しステップS904に移行する。

つまり、ステップS900～ステップS922の処理を行うことで、フレームメモリ10bの記憶領域に対応したフラグがセット状態にある記憶領域から画像データを読み出し、非順次走査における走査線の選択順番に合わせて画素データを並び替えることで入力画像データを生成し、1走査線分の入力画像データが生成される毎に当該データを電気光学装置11'に伝送することが可能である。

【0087】

更に、図13に基づき、第2の実施の形態における、電気光学装置11'におけるラインメモリ11gへの入力画像データの書込み処理の流れを説明する。図13は、電気光学装置11'におけるラインメモリ11gへの入力画像データの書込み処理を示すフローチャートである。ここで、ラインメモリ11gの2つある記憶領域をそれぞれラインメモリA及びラインメモリBと称す。

【0088】

図13に示すように、まずステップS1000に移行し、制御部11dにおい

て、画像処理装置 10 から入力画像データブロックが入力されたか否かを判定し、入力されたと判定された場合(Yes)はステップ S 1002 に移行し、そうでない場合(No)は入力されるまで待機する。

ステップ S 1002 に移行した場合は、制御部 11d において、ラインメモリ A に対応したフラグ F A がセットされた状態（専用のレジスタに 1 がセットされた状態）であるか否かを判定し、セットされた状態であると判定された場合(Yes)はステップ S 1004 に移行し、そうでない場合(No)はステップ S 1012 に移行する。

【0089】

ここで、本実施の形態においては、F A がセット状態のときに、ラインメモリ 11g のラインメモリ A に未処理の画像データが記憶された状態であり、F A がクリア状態（専用のレジスタに 0 がセットされた状態）のときに、ラインメモリ 11g のラインメモリ A には処理済みの画像データが記憶されている状態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0090】

ステップ S 1004 に移行した場合は、制御部 11d において、ラインメモリ B に対応したフラグ F B がセットされた状態（専用のレジスタに 1 がセットされた状態）であるか否かを判定し、セットされた状態であると判定された場合(Yes)はステップ S 1006 に移行し、そうでない場合(No)はステップ S 1008 に移行する。

【0091】

ここで、本実施の形態においては、F A と同様に、F B がセット状態のときに、ラインメモリ 11g のラインメモリ B に未処理の入力画像データブロックが記憶された状態であり、F B がクリア状態（専用のレジスタに 0 がセットされた状態）のときに、ラインメモリ 11g のラインメモリ B には処理済みの画像データが記憶されている状態か、何も記憶されていない状態か、あるいは、画像データを書込み中となる。

【0092】

ステップ S 1006 に移行した場合は、制御部 11d において、ラインメモリ

11g へのデータの書込みを禁止しステップ S1002 に移行する。

一方、ステップ S1008 に移行した場合は、制御部 11d は、フラグ FB の対応したラインメモリ B に入力画像データブロックを書込みステップ S1010 に移行する。

【0093】

ステップ S1010 では、制御部 11d は、フラグ FB をセットしてステップ S1000 に移行する。

また、ステップ S1002 においてフラグ FA がセット状態ではなくステップ S1012 に移行した場合は、制御部 11d は、フラグ FA の対応したラインメモリ A に入力画像データブロックを書込みステップ S1014 に移行する。

【0094】

ステップ S1014 では、制御部 11d は、フラグ FA をセットしてステップ S1000 に移行する。

つまり、上記ステップ S1000～ステップ S1014 の処理によって、フラグ FA 又はフラグ FB がセットされているか否かを判定し、フラグがセットされているラインメモリにはデータの書込みを行わず、セットされていないラインメモリに対して書込みを行う。

【0095】

更に、図 14 に基づき、電気光学装置 11' における非順次走査による画像の表示処理の流れを説明する。図 14 は、電気光学装置 11' における非順次走査による画像の表示処理を示すフローチャートである。

図 14 に示すように、まずステップ S1100 に移行し、制御部 11d は、ラインメモリ A に対応したフラグ FA がセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップ S1102 に移行し、そうでない場合(No)はステップ S1108 に移行する。

【0096】

ステップ S1102 に移行した場合は、制御部 11d は、ラインメモリ 11g におけるラインメモリ A に書込まれた入力画像データブロックを読み出してステップ S1104 に移行する。

ステップS1104では、制御部11dは、ラインメモリAに対応するフラグFAをクリアしてステップS1106に移行する。

【0097】

ステップS1106では、制御部11dは、読み出した入力画像データブロックに基づき、走査線駆動部11b及びデータ線駆動部11cを制御して、非順次走査による画像の階調表示処理を行いステップS1100に移行する。

一方、ステップS1108に移行した場合は、ラインメモリBに対応したフラグFBがセットされているか否かを判定し、セットされていると判定された場合(Yes)はステップS1110に移行し、そうでない場合(No)はステップS1100に移行する。

【0098】

ステップS1110に移行した場合は、制御部11dは、ラインメモリ11gにおけるラインメモリBに書込まれた入力画像データブロックを読み出してステップS1112に移行する。

ステップS1112では、制御部11dは、ラインメモリBに対応するフラグFBをクリアしてステップS1106に移行する。

【0099】

つまり、ステップS1100～ステップS1112の処理を繰り返し行うことで、ラインメモリ11gの記憶領域であるラインメモリA又はラインメモリBに対応したフラグFA又はFBのいずれかがセット状態にある記憶領域から入力画像データブロックを読み出し、当該入力画像データブロックに含まれる走査線番号に基づき走査線駆動部11bを駆動し、データ線駆動部11cを駆動して選択された走査線に対応する画素回路を駆動し、画像の階調表示を行う。

【0100】

そして、選択された記憶領域からの入力画像データブロックの読み出し処理が終了すると、この記憶領域のフラグがリセットされるので、上記したステップS1000～ステップS1014の処理において、この記憶領域に入力画像データブロックの書込みが可能となる。

つまり、入力画像データブロックが読み出されている間は、フラグがセット状

態となるので、上記したステップ S 1000～ステップ S 1014 の処理においては、その記憶領域に対して入力画像データブロックの書込み処理を行うことができない。しかし、一方の記憶領域において、入力画像データブロックの読み出し処理が行われている間に、読み出し処理が終了してフラグがリセットされている他方の記憶領域に対しては、入力画像データブロックの書込み処理を行うことが可能である。

【0101】

従って、ラインメモリ 11g のラインメモリ A 及びラインメモリ B に対する入力画像データブロックの書込み処理及び入力画像データの読み出し処理は、連続して送られてくる入力画像データブロックに対し、並行して行われることになる。

以上、画像処理装置 10 から、入力画像データ生成部 10a において、非順次走査における走査線選択順番に合わせて、画素データの並び替えを行い、1 走査線分の画素データの並び替えが完了する毎に、この 1 走査線分の入力画像データを電気光学装置 11' に伝送するようにしたので、電気光学装置 11' 側では、1 走査線分の入力画像データ毎に非順次走査処理を行うことが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る画像表示システム 1 の構成を示すブロック図である。

【図 2】 画像処理装置 10 に入力される画像データのデータ配列を示す図である。(a) は、表示領域の走査線数が 14 本で、階調データが 4 ビットの場合の走査線の選択される様子を示す図であり、図 6 (b) は、パネル 11a における走査線と画素との関係を示す図であり、図 6 (c) は、画素データの構成を示す図である。

【図 3】 入力画像データ生成部 10a において生成された入力画像データのデータ配列を示す図である。

【図 4】 画像データと画素データとの対応を示す図である。

【図 5】 入力画像データ生成部 10a において並び替えられた後の画素データの表示順番を示す図である。

【図 6】 (a) は、表示領域の走査線数が 14 本で、階調データが 4 ビットの場合の走査線の選択される様子を示す図であり、(b) は、パネル 11a における走査線と画素との関係を示す図であり、(c) は、画素データの構成を示す図である。

【図 7】 画像処理装置 10 における画像データの取得処理を示すフローチャートである。

【図 8】 画像処理装置 10 における入力画像データの生成処理及び入力画像データの伝送処理を示すフローチャートである。

【図 9】 電気光学装置 11 におけるフレームメモリ 11e への入力画像データの書き込み処理を示すフローチャートである。

【図 10】 電気光学装置 11 における非順次走査による画像の表示処理を示すフローチャートである。

【図 11】 本発明の第 2 の実施の形態に係る画像表示システム 2 の構成を示すブロック図である。

【図 12】 画像処理装置 10 における入力画像データの生成処理及び入力画像データの伝送処理を示すフローチャートである。

【図 13】 電気光学装置 11' におけるラインメモリ 11g への入力画像データの書き込み処理を示すフローチャートである。

【図 14】 電気光学装置 11' における非順次走査による画像の表示処理を示すフローチャートである。

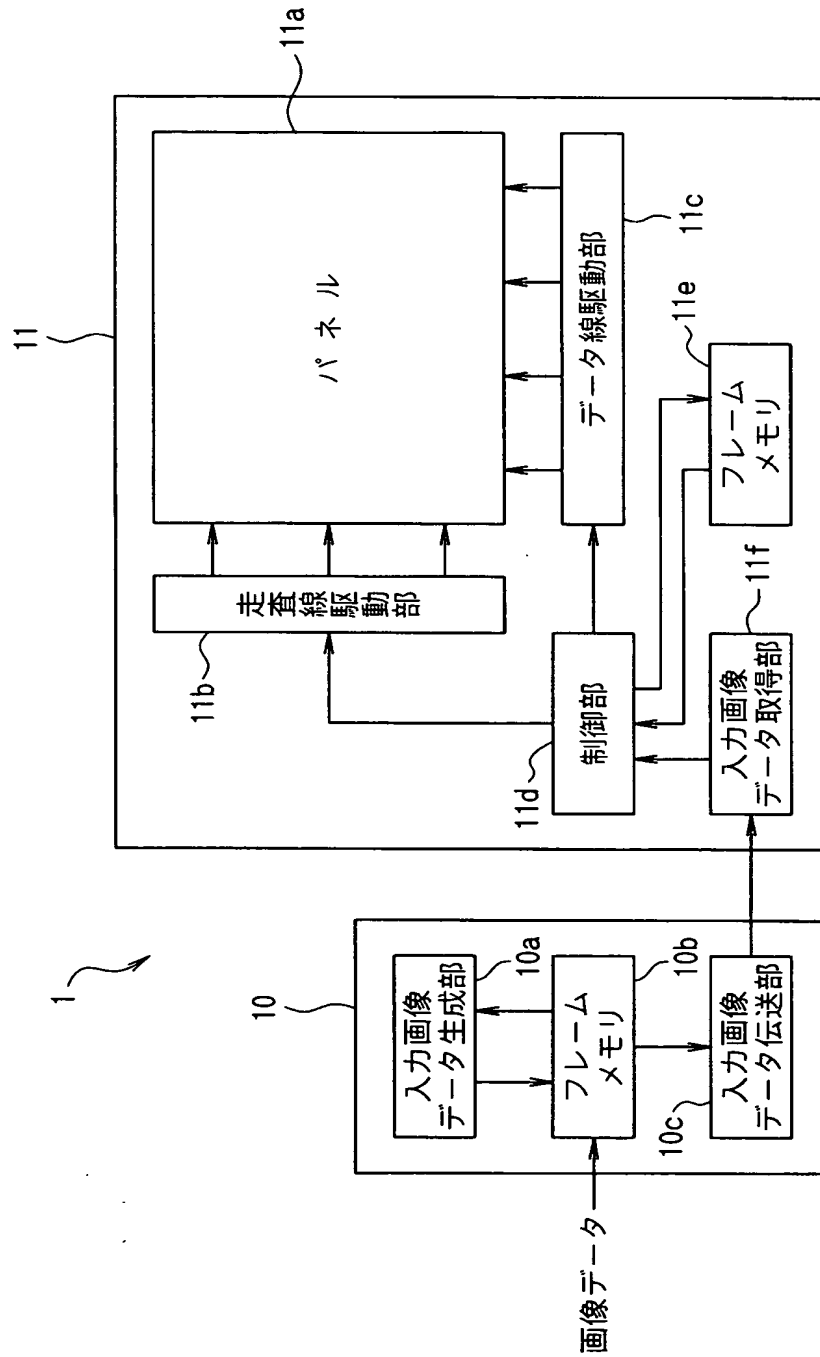
【符号の説明】

1…第 1 の実施の形態に係る画像表示システム、2…第 2 の実施の形態に係る画像表示システム、10…画像処理装置、10a…入力画像データ生成部、10b…フレームメモリ、10c…入力画像データ伝送部、11…電気光学装置、11'…電気光学装置、11a…パネル、11b…走査線駆動部、11c…データ線駆動部、11d…制御部、11e…フレームメモリ、11f…入力画像データ取得部、11g…ラインメモリ

【書類名】

図面

【図 1】



【図 2】

画像データのデータ配列

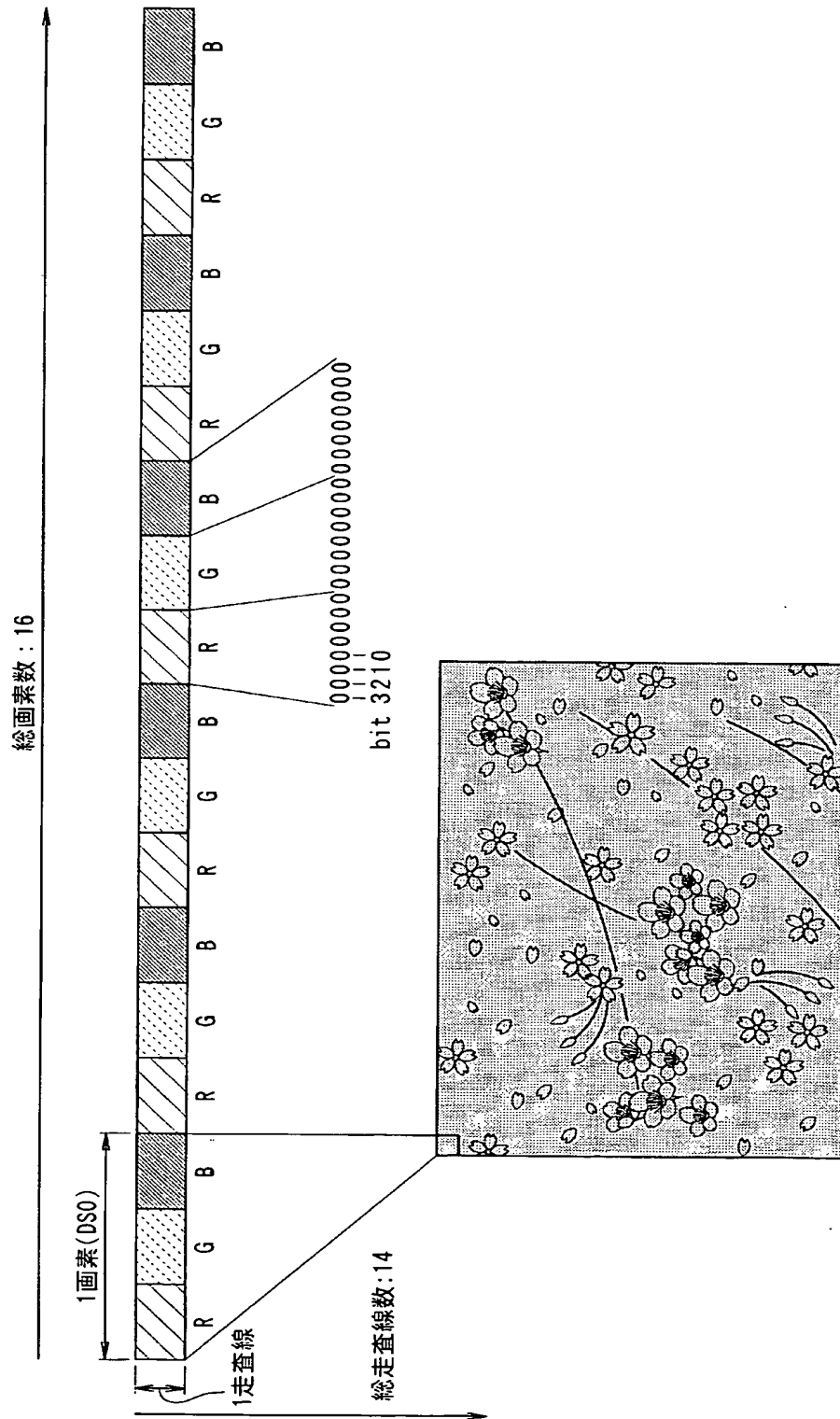
		MSB	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	LSB
D0	R	0	0	0	0	0	0	0	0
	G	0	0	0	1	0	0	0	0
	B	0	0	0	1	0	0	0	0
D1	R	0	0	0	0	0	0	0	0
	G	0	0	0	1	0	0	0	0
	B	0	0	0	1	0	0	0	0
D2	R	0	0	0	1	0	0	0	0
	G	0	0	0	1	0	0	0	0
	B	0	0	0	1	0	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
D14	R	1	0	0	1	1	0	1	1
	G	0	1	1	0	0	0	1	0
	B	0	0	1	1	1	1	1	1
D15	R	1	1	1	0	0	1	1	0
	G	0	1	0	1	0	1	0	0
	B	1	1	1	1	1	1	1	0

【図 3】

入力画像データのデータ配列

DS0	R	階調データのビット0に対応
	G	階調データのビット0に対応
	B	階調データのビット0に対応
DS8	R	階調データのビット3に対応
	G	階調データのビット3に対応
	B	階調データのビット3に対応
DS12	R	階調データのビット2に対応
	G	階調データのビット2に対応
	B	階調データのビット2に対応
⋮	⋮	⋮
DS11	R	階調データのビット2に対応
	G	階調データのビット2に対応
	B	階調データのビット2に対応
DS13	R	階調データのビット1に対応
	G	階調データのビット1に対応
	B	階調データのビット1に対応

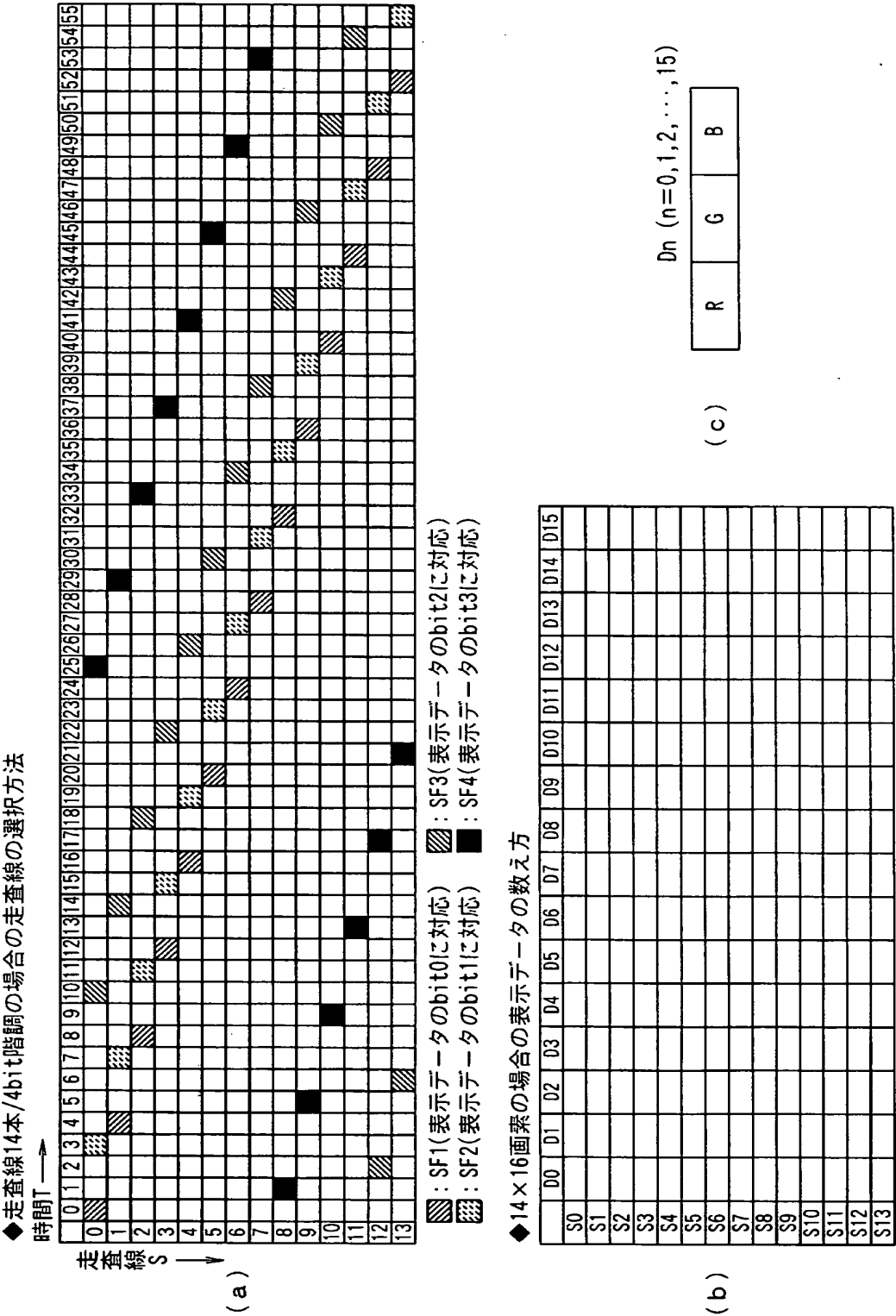
【図 4】



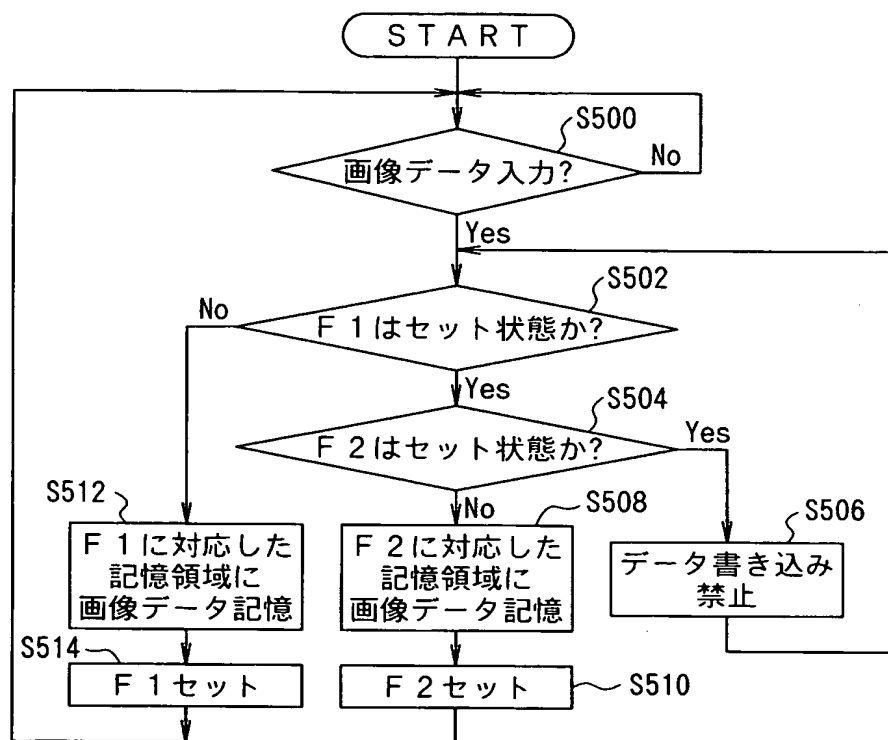
◆ 20bitデータバスの場合のフレームデータの転送形式

出証特 2 0 0 3 - 3 1 0 7 0 0 2

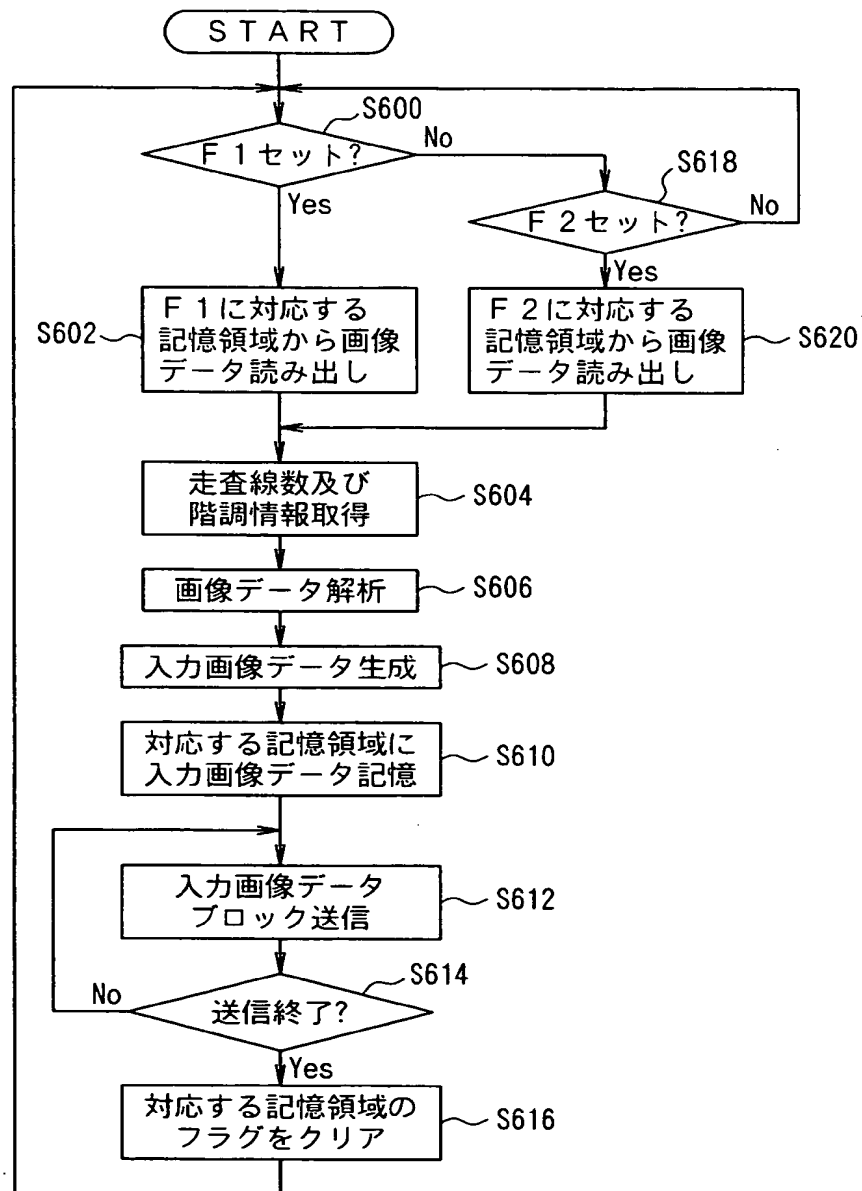
【図 6】



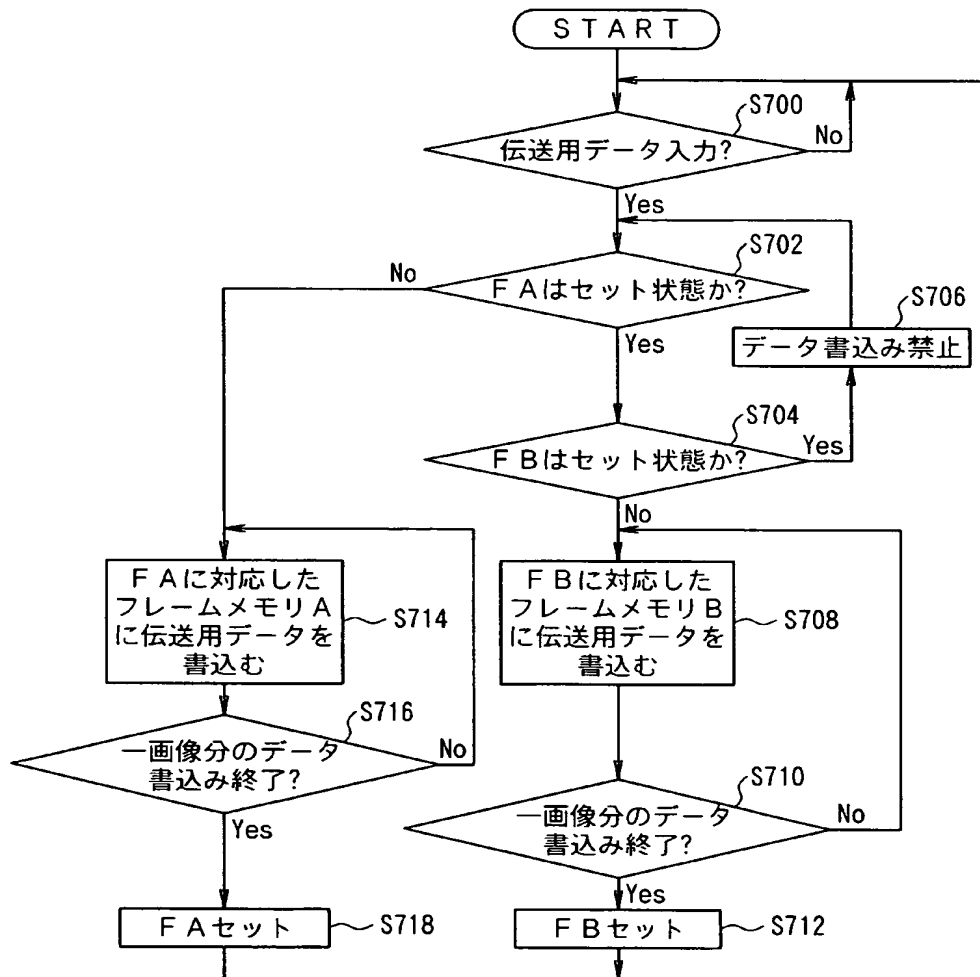
【図 7】



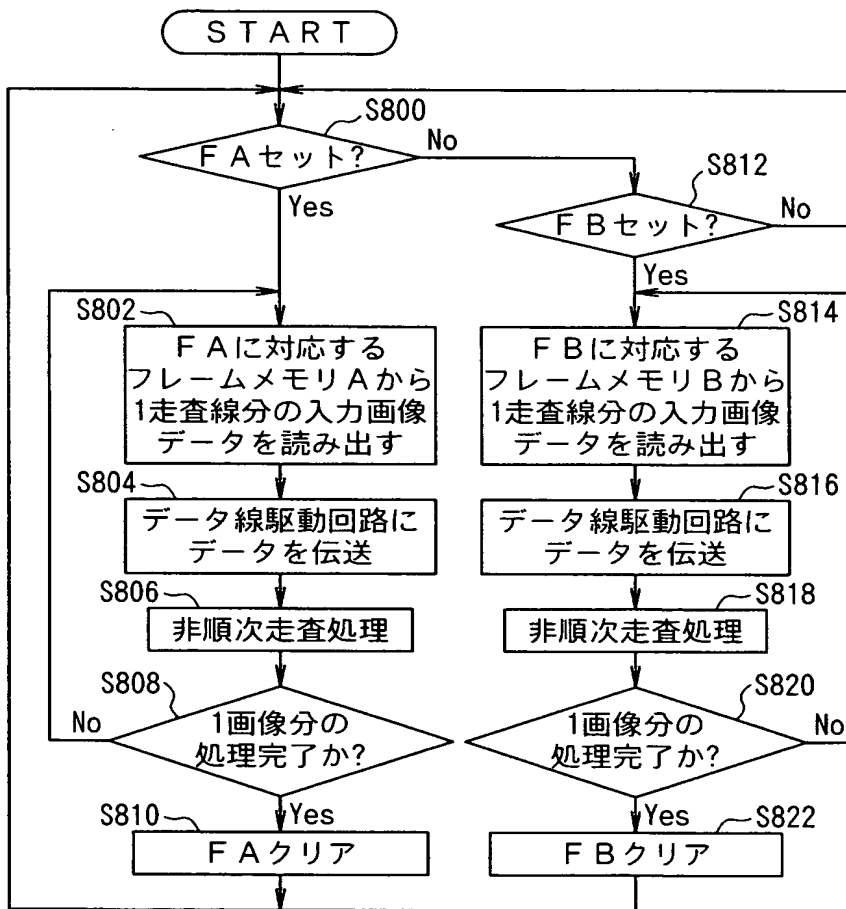
【図 8】



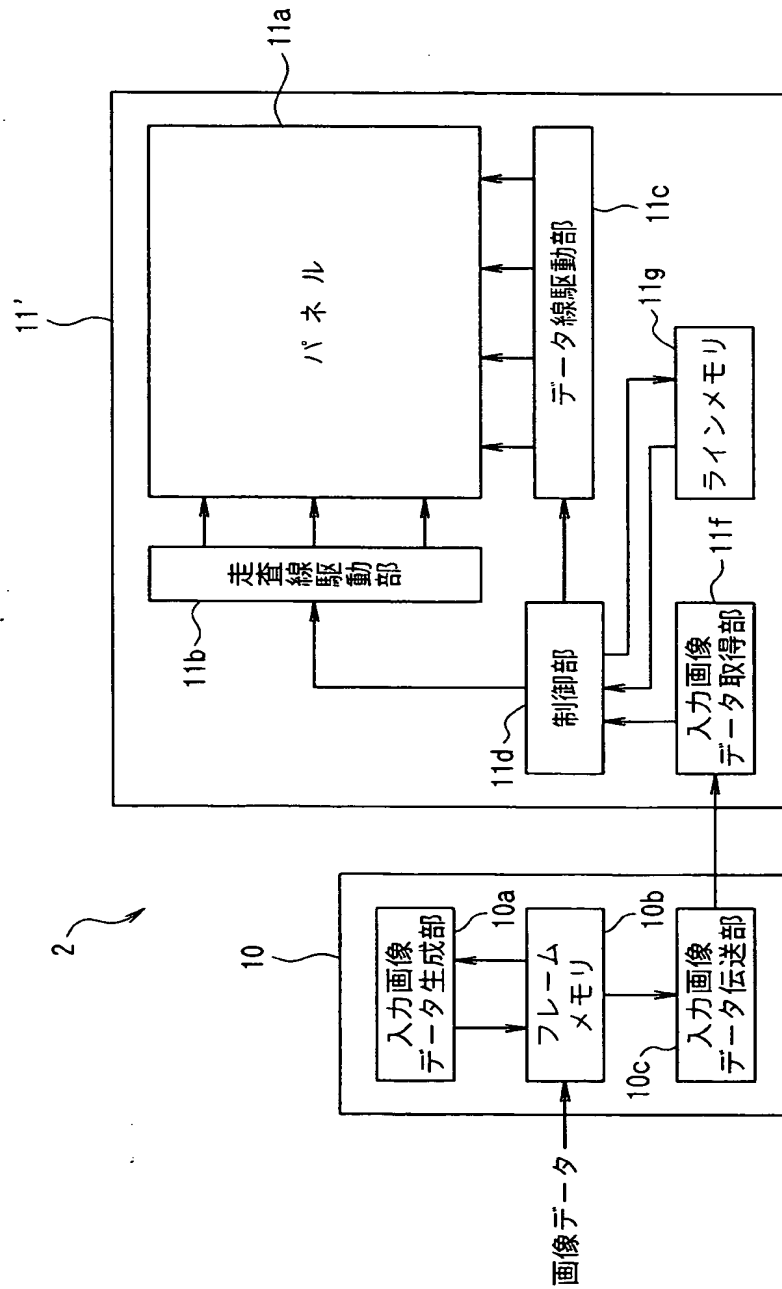
【図 9】



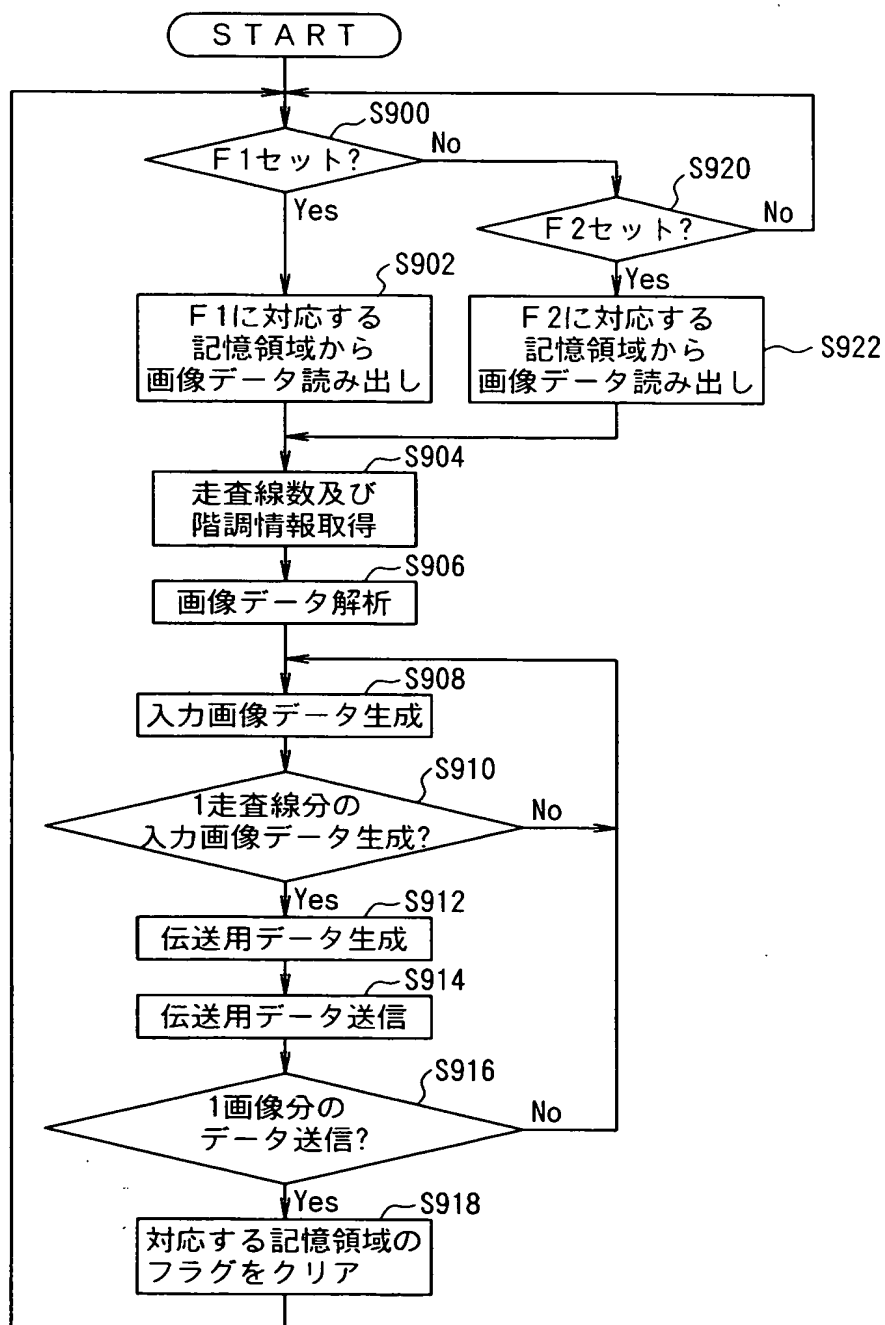
【図10】



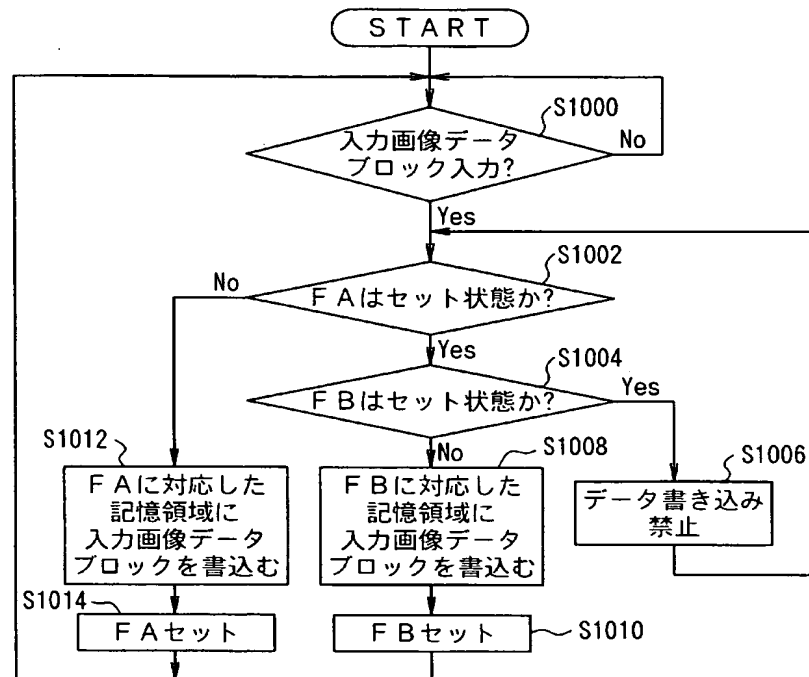
【図 11】



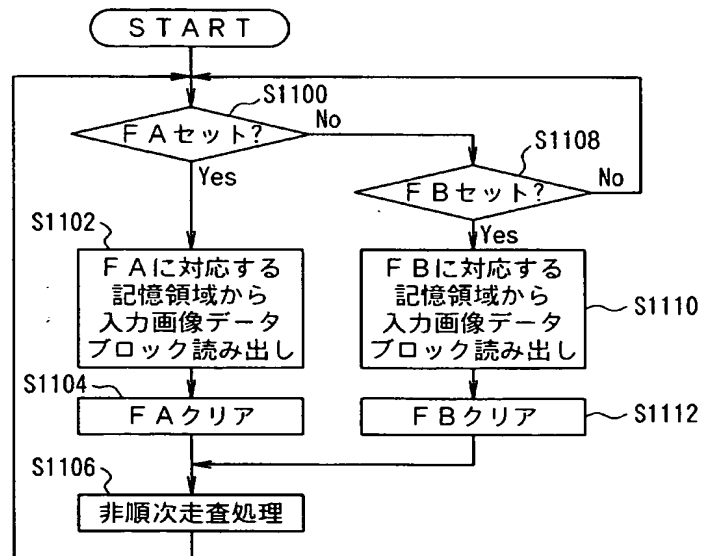
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 電気光学装置のコストを低減することが可能な画像表示システムにおける画像処理装置を制御するための画像処理装置制御プログラムを提供すること。

【解決手段】 画像処理装置 10 を、入力画像データ生成部 10 a と、フレームメモリ 10 b と、入力画像データ伝送部 10 c と、を含んだ構成とし、電気光学装置 11 を、パネル 11 a と、走査線駆動部 11 b と、データ線駆動部 11 c と、制御部 11 d と、フレームメモリ 11 e と、入力画像データ取得部 11 f と、を含んだ構成とし、画像処理装置 10 側の入力画像データ生成部 10 a において、非順次走査における走査線の選択順番に合わせて予め画像データにおける画素データを並び替えてから、電気光学装置 11 に伝送する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 6 8 3 3 6
受付番号	5 0 3 0 0 4 1 4 0 9 2
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 3 月 1 4 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月13日
-------	-------------

次頁無

特願 2 0 0 3 - 0 6 8 3 3 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社